**异步流水线的设计与自动化实现**

杨智杰 18020146

一、实验原理

使用STG描述得到STG图，使用petrify工具自动生成逻辑结构。根据逻辑结构编写verilog代码。

二、实验步骤

1. 使用STG描述，描述两段握手控制信号的转换机制，生成a.g文件。（由于cp\_latch的输入信号，即控制模块的输出信号c和p是直接接在了ack\_in和ack\_out上，所以没必要再单独搞c,p输出信号，直接在verilog编写时处理即可。）

|  |
| --- |
| .inputs Req\_in Ack\_in  .outputs Req\_out Ack\_out  .graph  Req\_in+ Ack\_out+  Ack\_in- Ack\_out+  Req\_in+ Req\_out+  Ack\_in- Req\_out+  Ack\_out+ Req\_in-  Req\_out+ Ack\_in+  Req\_in- Ack\_out-  Ack\_in+ Ack\_out-  Req\_in- Req\_out-  Ack\_in+ Req\_out-  Ack\_out- Req\_in+  Req\_out- Ack\_in-  .marking{<Ack\_out-,Req\_in+><Req\_out-,Ack\_in->}  .end |

1. 使用petrify工具得到STG图，即a.g.ps文件。命令为：draw\_astg –nofold –bw a.g –o a.g.ps。如图1所示是STG图。

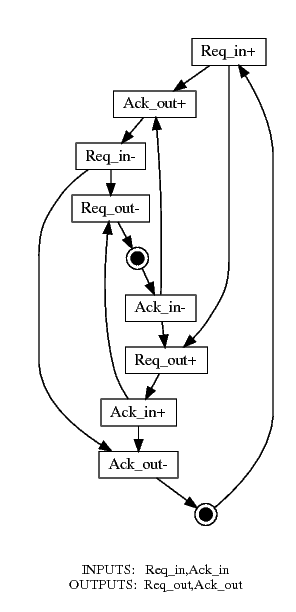


图1

1. 将a.g文件使用petrify工具进行逻辑转化,得到a.eqn文件。命令为：petrify a.g –eqn a.eqn –cg –no。如图2所示是部分文件内容。使用的工具是官网下载的最新petrify5.2，但是可能系统时间设置有点问题，所以显示是2017年。

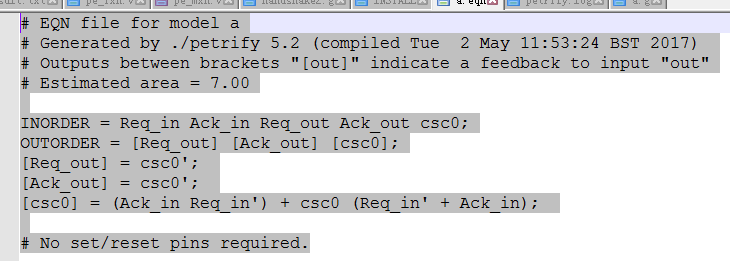


图2

1. 根据a.eqn的描述编写verilog代码。并使用得到的代码作为控制逻辑，生成一个新的流水段stage。然后使用stage替换原来手工编写的流水段代码。

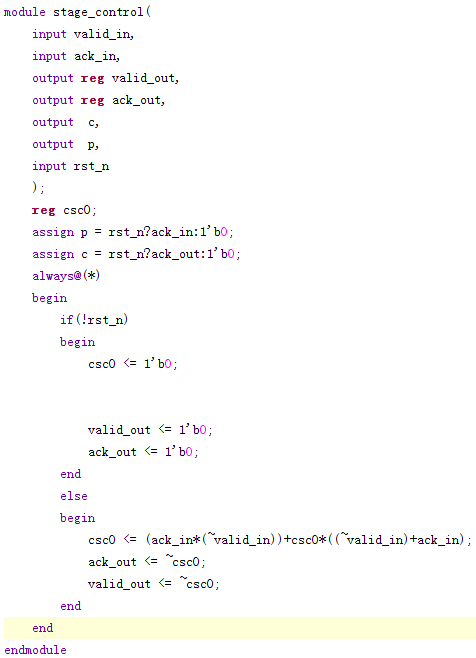
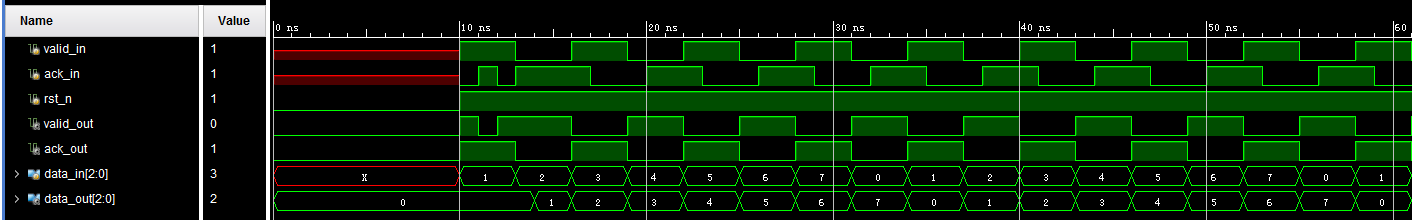


图3

三、实验结果

1.结果与之前手工编写的结果一致，证明逻辑正确。（如图4）



2.petrify得到的控制逻辑模块verilog代码综合版图（如图5）

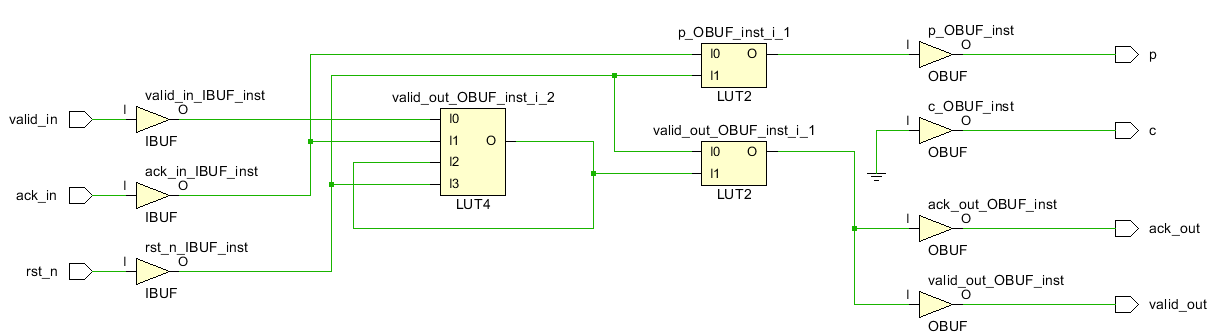


图5